

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8147

(43)公開日 平成9年(1997)1月10日

(51) Int.Cl.⁶
 H 01 L 21/8238
 27/092
 29/78

識別記号 庁内整理番号

F I
 H 01 L 27/08
 29/78

技術表示箇所

3 2 1 H
 3 0 1 K

審査請求 有 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平7-148553
 (22)出願日 平成7年(1995)6月15日

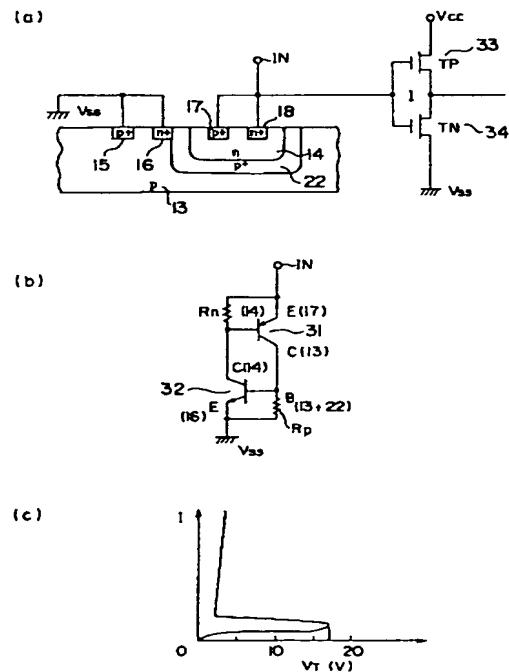
(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 塚田 俊雄
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (74)代理人 弁理士 鈴木 弘男

(54)【発明の名称】 半導体装置の保護回路

(57)【要約】

【目的】 サイリスタ型E S D保護回路において、ターンオン電圧V_Tを下げ、臨界オフ電圧上昇率d v / d tによる誤動作を防止した高性能E S D保護回路を提供する。

【構成】 nウエル領域14の周りにp+ウエル領域22が形成され、nウエル領域14とp+ウエル領域22との接合で決定されるターンオン電圧V_Tは低く設定できる。また、p+ウエル領域22によって寄生ベース抵抗は実効的に小さくできるため寄生バイポーラトランジスタを不用意にターンオンすることが防止できる。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板内に第2導電型のウエル領域を設け且つ前記半導体基板内には第2導電型のMOSトランジスタを且つ前記ウエル領域内には第1導電型のMOSトランジスタをそれぞれ形成してなる相補型MOS半導体装置において、前記半導体基板内に形成され且つ低電位電源に接続された第1導電型の第1コンタクト領域と、前記低電位電源に接続された第2導電型の第1半導体領域と、前記ウエル領域内に形成され且つ入力端子もしくは出力端子に接続された第2導電型の第2コンタクト領域と、前記ウエル領域内に形成され且つ前記入力端子もしくは出力端子に接続された第1導電型の第2半導体領域とを具備したことを特徴とする半導体装置の保護回路。

【請求項2】 前記ウエル領域の周りに第1導電型のウエル領域を設け、該ウエル領域の境界面を中心にして前記第1及び第2半導体領域が前記第1及び第2コンタクト領域の内側に形成されている請求項1に記載の半導体装置の保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の分野において半導体装置を静電気の放電(Electro Static Discharge, 以下「ESD」という)による高電圧の過渡現象から保護するための保護回路に関する。

【0002】

【従来の技術】 半導体デバイスが取り扱われるフィールドや製造工程で生じる可能性の高い静電気放電(ESD)現象は次の3つが考えられる。(1) 半導体デバイスを取り扱う人が外部静電気帯電物体となり、人体に蓄えられた静電気がデバイスの端子に放出されて破壊を起こす。(2) デバイスの近傍にある金属などの物体が静電気を帯電している場合、デバイスの端子とこれらの物体が接触してESD破壊に至る。(3) デバイス自身(デバイス導体部あるいは封入プラスチックパッケージ)が静電気を帯電し、デバイスの端子から他の導体へ静電気が放出され破壊が生じる。従来このような静電気によるサージから集積回路の内部(回路)を保護するための各種の保護回路が実用化されている。

【0003】 図3および図4に従来の保護装置の構造を示す。

【0004】 図3は特公平2-52426号に開示された保護回路であり、pチャネルMOSトランジスタTP33及びnチャネルMOSトランジスタTN34は入力段のCMOSインバータIを構成しており、このインバータIの共通ゲートは信号入力端子INに、共通ドレインは図示しない次段の回路にそれぞれ接続されている。図中、断面構造で示されている回路は保護回路である。この保護回路では、 $1 \times 10^{13}/\text{cm}^3$ 程度の濃度でp型不純物を含むp+型エピタキシャル層12を成長させ

2

たものを出発基板13として用いており、この基板13上には深さが約 $2\mu\text{m}$ のnウエル領域14が選択的に形成されている。

【0005】 p型基板13上には、この基板13(p型エピタキシャル層12)に対してコンタクトをとるための $1 \times 10^{19}/\text{cm}^3$ 程度の濃度でp型不純物を含むコンタクト領域15と、 $1 \times 10^{19}/\text{cm}^3$ 以上の濃度でn型不純物を含むn型半導体領域16とが形成されている。

【0006】 また、nウエル領域14の境界をはさんで領域15、16の反対側に位置するnウエル領域14上には、 $1 \times 10^{19}/\text{cm}^3$ 以上の濃度でp型不純物を含むp型半導体領域17と、nウエル領域14に対してコンタクトをとるための $1 \times 10^{19}/\text{cm}^3$ 程度の濃度でn型不純物を含むコンタクト領域18とが形成されている。

【0007】 そして、p型のコンタクト領域15、n型半導体領域16及びp型基板13は低電位電源V_{ss}に接続され、p型半導体領域17及びn型のコンタクト領域18は上記信号入力端子INに接続されている。

【0008】 この従来例の相補型MOS半導体装置の保護回路では、第1の半導体領域16をエミッタ、基板13をベース、nウエル領域14をコレクタとする第1極性のバイポーラトランジスタと、第2の半導体領域17をエミッタ、nウエル領域14をベース、基板13をコレクタとする第2極性のバイポーラトランジスタがそれぞれ等価的に構成され、信号入力端子INもしくは信号出力端子に高電圧が印加された際に上記第1極性及び第2極性のバイポーラトランジスタからなる回路でラッチアップを生じさせて高電圧による電流をバイパスするようしている。

【0009】 図4は1991年EOS/ESD SYMPOSIMUM PROCEEDINGSの第88頁から第97頁に記載されたもう1つの従来例を示す。図4においては図3と同一の領域は同一の記号で示した。この従来例と前述した図3の従来例との相違は、第2の半導体領域17(エミッタ)がn型の半導体領域41と隣接し、かつn型の半導体領域41がnウェル(ベース)領域14とp型エピタキシャル層12とにまたがって形成されている点である。この従来例の相補型MOS半導体装置の保護回路も図3に示した保護回路と同様に第1極性のバイポーラトランジスタと第2極性のバイポーラトランジスタとからなり、ラッチアップを生じさせて高電圧による電流をバイパスする。この場合図3の保護回路と比較して、図4の保護回路ではラッチアップの起動の源泉となるトリガー電圧V_T(以下「ターンオン電圧」という)が低くできる。

【0010】

【発明が解決しようとする課題】 図3に示したサイリスタ型ESD保護回路では、ターンオンする電圧V_Tがn

50

ウェルのブレイクダウン電圧によってきまるため通常は50Vと高く内部素子の保護という意味で十分ではない。一般に保護回路設計の基本的考え方として、(1) ESDチャージを被保護素子の破壊電圧、電流以下で保護素子によって吸収する、(2) 保護素子が破壊しない、(3) 保護素子は製品の動作範囲で製品特性を損なわない、が基本である、が特に(1)において保護素子の耐圧設計は保護の要である。すなわち保護素子の耐圧BV設計は、最大定格<BV<被保護素子の耐圧、ゲート破壊電圧としなければならない。ゲート破壊電圧はトランジスタの微細化(高速化)に伴い15V程度と小さくなっているので、図4に示した従来例の低圧設計(この場合ターンオン電圧VTは50Vが相当)では被保護素子を十分保護できないという問題がある。

【0011】このような欠点を改善したのが図4の従来例である。この場合、n型の半導体領域41(n+)とp型のエピタキシャル層12(p-)で耐圧VTが決まるので、耐圧VTは10数Vと低く設定できるメリットがある。

【0012】しかしながら実際の製品に本構造の保護素子を適用しようとすると、製造条件のゆらぎに対して必ずしも保護素子の特性が安定しているという保証はない。つまり保護素子を構成する寄生バイポーラがノイズに対してOFFを保つ特性はdv/dt特性(臨界オフ電圧上昇率特性)と呼ばれるが、このdv/dtは保護素子自身が誤動作しない程度に大きく設定されなければならない。図4の従来例では基板13の寄生ベース抵抗が大きいため信頼性を含めて安定したdv/dt特性の設計が困難であり、製造条件のゆらぎに対して影響を受けやすいという問題がある。

【0013】本発明は上記の点にかんがみてなされたもので、製造条件のゆらぎに対する影響を受けにくい静電気の放電による高電圧の過渡現象から半導体装置を保護する保護回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は上記の目的を達成するために、第1導電型の半導体基板内に第2導電型のウェル領域を設け且つ前記半導体基板内には第2導電型のMOSトランジスタを且つ前記ウェル領域内には第1導電型のMOSトランジスタをそれぞれ形成してなる相補型MOS半導体装置において、前記半導体基板内に形成され且つ低電位電源に接続された第1導電型の第1コンタクト領域と、前記低電位電源に接続された第2導電型の第1半導体領域と、前記ウェル領域内に形成され且つ入力端子もしくは出力端子に接続された第2導電型の第2コンタクト領域と、前記ウェル領域内に形成され且つ前記入力端子もしくは出力端子に接続された第1導電型の第2半導体領域とを設けた。

【0015】さらに、前記ウェル領域の周りに第1導電

型のウェル領域を設け、該ウェル領域の境界面を中心にして前記第1及び第2半導体領域を前記第1及び第2コンタクト領域の内側に形成した。

【0016】

【実施例】以下、本発明を図面を参照して説明する。

【0017】図1(a)は本発明による保護回路の一実施例の断面図、図1(b)はその等価回路図を示す。

【0018】図1に示した実施例は本発明に係る保護回路を特に信号入力端子の保護を図る半導体装置に適用したものであり、pチャネルMOSトランジスタTP33およびnチャネルMOSトランジスタTN34は、入力段のCMOSインバータIを構成しており、このインバータIの共通ゲートは信号入力端子INに、共通ドレインは図示しない次段の回路にそれぞれ接続されている。図中、図3と同じ構成部分は同じ記号で示されている。

この保護回路では、 $1 \times 10^{15}/\text{cm}^3$ 程度の濃度でp型不純物を含むp型基板13を用いており、この基板13上には深さが約 $2\mu\text{m}$ のnウェル領域14が選択的に形成されている。

【0019】上記P型基板13上には、この基板13に対してコンタクトをとるため $1 \times 10^{19}/\text{cm}^3$ 程度の濃度でP型不純物を含むコンタクト領域15と、 $1 \times 10^{19}/\text{cm}^3$ 以上の濃度でn型不純物を含むn型半導体領域16とが形成されている。

【0020】また、上記のnウェル領域14の境界をはさんで領域15、16の反対側に位置するnウェル領域14上には、 $1 \times 10^{19}/\text{cm}^3$ 以上の濃度でp型不純物を含むP型半導体領域17とnウェル領域14に対してコンタクトをとるための $1 \times 10^{19}/\text{cm}^3$ 程度の濃度でn型不純物を含むコンタクト領域18とが形成されている。

【0021】さらに、nウェル領域14の周りに $1 \times 10^{17}/\text{cm}^3$ 以上の濃度でP型不純物を含むpウェル領域22が前記n型半導体領域16と接して形成されている。

【0022】そして、p型のコンタクト領域15、n型半導体領域16及びP型基板13は低電位電源V_{ss}に接続され、p型半導体領域17及びn型のコンタクト領域18は信号入力端子INに接続されている。

【0023】図1(b)は上記実施例による保護回路の等価回路図である。図中のpnpn型のバイポーラトランジスタ31は、P型半導体領域17をエミッタ、nウェル領域14をベース、P型基板13をコレクタとして寄生的に形成されているものである。一方nppn型のバイポーラトランジスタ32は、n型半導体領域16をエミッタ、P型基板13およびPウェル領域22をベース、nウェル領域14をコレクタとして寄生的に形成されているものである。そしてトランジスタ31のエミッタ及びベースは端子INと共に接続され、トランジスタ32のコレクタ及びベースはトランジスタ31のベース、コ

レクタにそれぞれ接続され、トランジスタ32のベース及びエミッタは低電位電源V_{ss}に接続されている。

【0024】本実施例は通常のMOS製造技術を用いて容易に製作できる。まずp型基板13の保護回路形成領域にpウエル領域22を選択的に形成する。一般にはボロンイオン注入後熱処理押込みにより所望のプロファイルを形成する。続いてnウエル領域14を選択形成する。通常nウエル領域14はpチャネルMOSトランジスタTP33のnウエル領域と同時に形成される。以下慣用のシリコンMOS製造方法と何ら変わることはない。すなわちコンタクト領域15、p型半導体領域17はpチャネルMOSトランジスタTP33のソース、ドレインと同時に形成される。またn型半導体領域16、コンタクト領域18はNチャネルトランジスタTN34のソース、ドレインと同時に形成される。トリガー電圧V_T(ターンオン電圧)はnウエル領域14とp+ウエル領域22の接合の降伏電圧で決定される。

【0025】図2は保護回路のチップ占有面積を減らす手段を講じた本発明のさらに他の実施例を示す。図中図1と同じ構成部分には同じ参照数字を付して示してあり、本実施例では従来を1としたときにチップ占有面積を0.25とすることができます。

【0026】

【発明の効果】以上説明したように、本発明においては、nウエル領域14の周りにp+ウエル領域22が形成されているので、サイリスタ型ESD保護素子のターンオン電圧V_Tはp+ウエル領域22のドース量を調整することにより低く設定できる。このため図1(c)に示すDC特性図に示すように、nウエル領域14とp+ウエル領域22の接合の降伏電圧で決定されるV_Tは1.5~2.0V程度に設定できる。

【0027】また、p+ウエル領域22によって寄生ベース抵抗を小さくすることができるので、寄生バイポーラトランジスタのベース抵抗をブレークダウン電流が流

れ、寄生バイポーラトランジスタにターンオンを引き起こす誤動作を防止できる。従って本実施例では、長期信頼性を含め安定したd_v/d_t特性を有し、製造条件のゆらぎに対して影響の少ない高性能な保護回路を供給できる。

【0028】ところで、本発明を半導体装置の入力端子の保護に適用することにより、MIL規格で2KV以上、パッケージ帶電法で2KV以上の良好な耐量を得ることができる。

【図面の簡単な説明】

【図1】(a)は本発明による保護回路の一実施例の断面構造を示す図、(b)は等価回路図、(c)は同回路のDC特性図である。

【図2】本発明による保護回路の他の実施例の断面構造を示す。

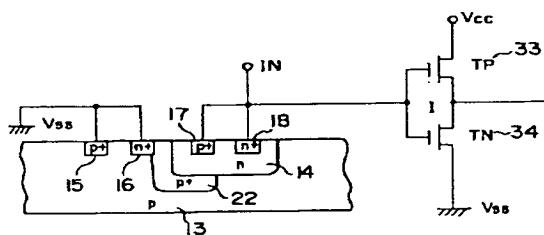
【図3】従来の保護回路の一例の断面構造を示す図である。

【図4】従来の保護回路の他の例の断面構造を示す図である。

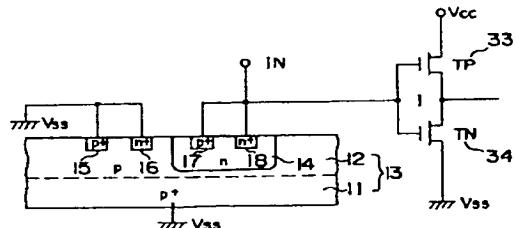
【符号の説明】

- | | |
|-----|--------------------|
| 1 1 | p+型エピタキシャル基板 |
| 1 2 | 出発基板 |
| 1 5 | p型のコンタクト領域 |
| 1 7 | p型半導体領域 |
| 2 2 | p+ウエル |
| 3 1 | p n p型のバイポーラトランジスタ |
| 3 2 | n p n型のバイポーラトランジスタ |
| 4 1 | n型半導体領域 |
| 1 2 | p型エピタキシャル層 |
| 1 4 | nウエル領域 |
| 1 6 | n型半導体領域 |
| 1 8 | n型コンタクト領域 |
| 3 3 | pチャネルMOSトランジスタ(TP) |
| 3 4 | nチャネルMOSトランジスタ(TN) |

【図2】

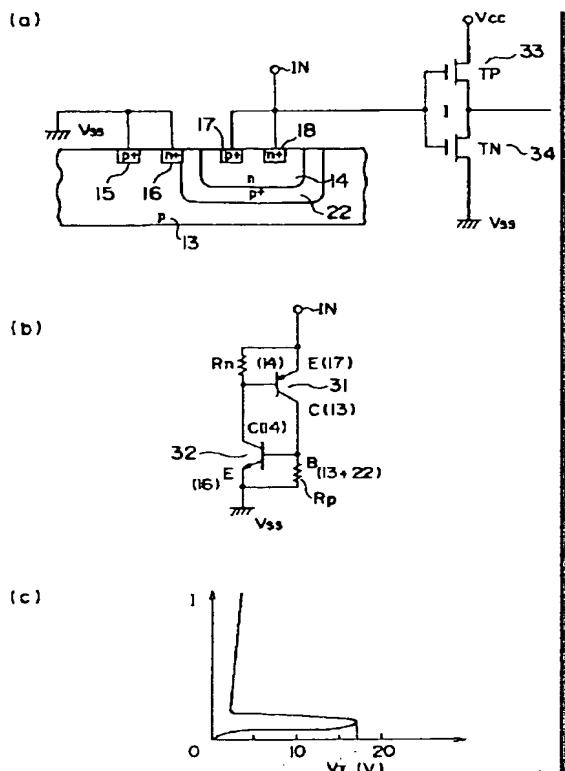


【図3】

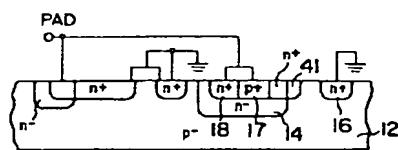


BEST AVAILABLE COPY

【図 1】



【図 4】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)